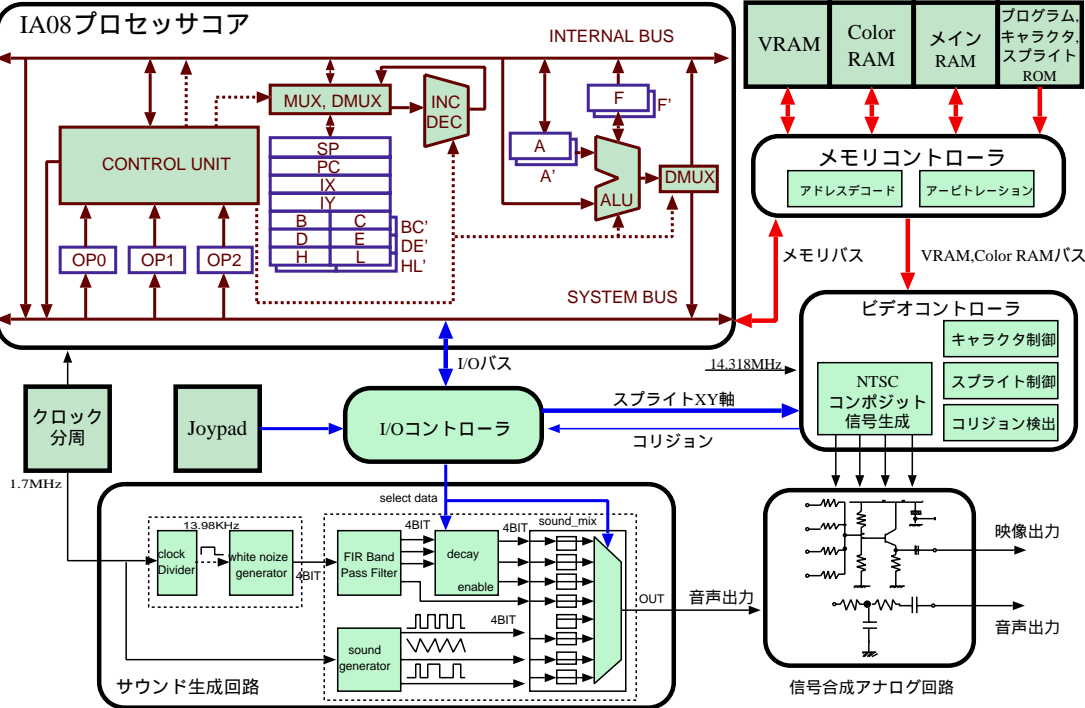
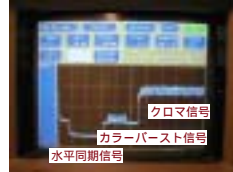


IA08プロセッサ

業界標準命令セットを実装した8ビットプロセッサIA08を開発
 プロセッサ、ビデオ回路、サウンド回路などゲームプラットフォームのシステム全てを設計
 それら論理回路部全てをFPGAワンチップに実装し、アナログ回路を含めワンボードにシステム全てを実装

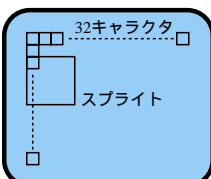


サウンド生成回路ではホワイトノイズ生成回路、フィルタやディケイ回路を通して爆発音等が作られ、射撃音などとミキサで合成して出力する。



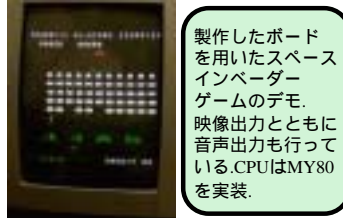
論理回路部で同期信号、カラーバースト、クロマ信号を生成し、製作したアナログ回路で合成している。

画面は8×8ドットのキャラクタを背景として描画し、32×32ドットのスプライトイメージを指定したXY軸から合成して作られる。コリジョン検出はキャラクタとスプライトイメージの衝突を検出し、I/Oポートを通してCPUから認識される。



ビデオ回路はキャラクタ・スプライトROMを使うモードとVRAMのみを使うビットマップモードと切替えることが可能。

NTSCコンポジット信号をオシロスコープで出力した様子



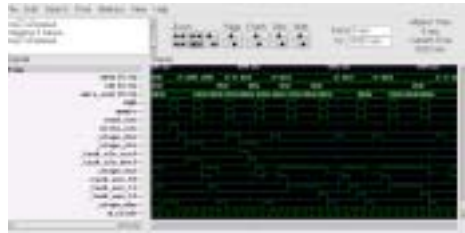
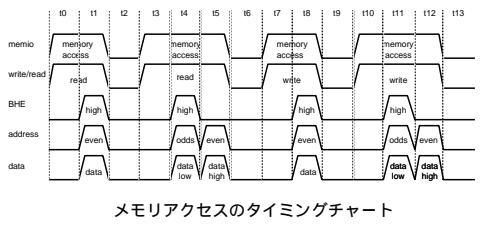
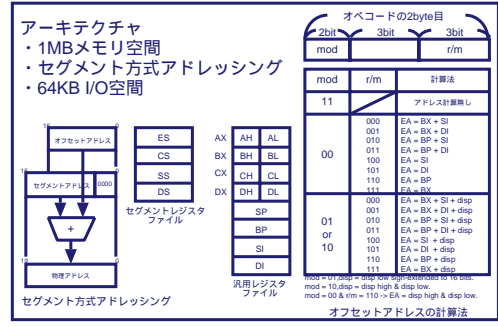
スペースインベーダーを動作させた様子
 製作したボード
 プログラムROMはタイトー社より御提供 ©TAITO CORP. 1978-2003

MY80プロセッサコア	
論理規模	880 LE
最大動作周波数	58.56 MHz
実装FPGA	EP1C3T100C6

IA08プロセッサコア	
論理規模	1465 LE
最大動作周波数	35.79 MHz
実装FPGA	EP1S10F780C7ES

IA16マイクロプロセッサ

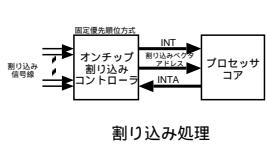
目的
 業界標準アーキテクチャ16bit CPU IP コアの開発



Dhrystone Benchmark実行時の様子



ブロック図



割り込み処理

開発フロー
 1. SFL記述(論理設計)
 2. Verilogシミュレーション
 現状
 3. FPGAへ実装
 QuartusII ver3.0で合成
 最終的には周辺デバイスとの接続、OSの動作までを実現しコンピュータシステム全体の構築をする。

動作予定OS
 Free DOS
 MINIX
 ELKS
 ターゲットコンパイラ
 bcc

	動作周波数	コンパイラ	Dhrystone/S
設計したプロセッサ	9MHz	bcc	1348
IBM PC/AT 80286	7.5MHz	cc	1254
Macintosh512 68000	7.7MHz	DeSmet	625
IBM PC/XT 8086	8MHz	Intel C-86V2.0	304

Dhrystone Benchmarkの実行結果による性能比較

bccでコンパイルしたDhrystone BenchmarkをVerilog 上で実行し性能の評価をした。結果、他の16bitプロセッサと遜色無い性能であった。

	合成結果	
	Stratix EP1S10F780C7ES	Cyclone EP1C6Q240C8
論理規模	3884LE	3909LE
動作周波数	9.16MHz	7.31MHz



実行したアセンブリコードの一部